

METHOD AND SYSTEM FOR DESIGNING SEMICONDUCTOR INTEGRATED CIRCUIT

Patent number: JP2002245109

Publication date: 2002-08-30

Inventor: SASAKI TETSUO; NAGAO YOUSUKE; ISHII
TAKEMOTO; MATSUMOTO ITARU

Applicant: HITACHI LTD;; HITACHI INFORMATION
TECHNOLOGY CO LTD;; HITACHI SOFTWARE ENG
CO LTD

Classification:

- international: G06F17/50; H01L21/82

- european:

Application number: JP20010038678 20010215

Priority number(s):

Also published as:

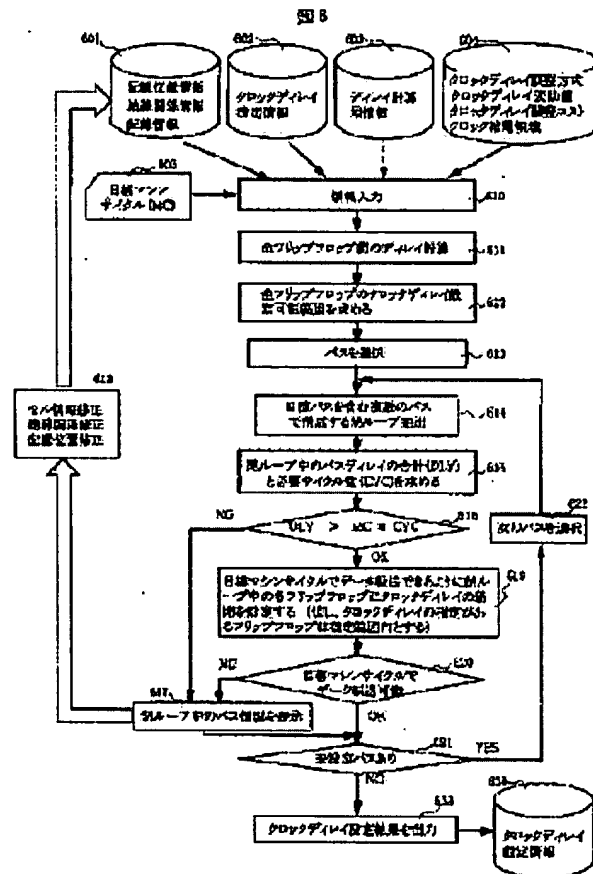
US6944840 (B2)
US2002114224 (A1)

Report a data error here

Abstract of JP2002245109

PROBLEM TO BE SOLVED: To realize a minimum machine cycle by minimizing an amount with which countermeasures are taken in logic design and mounting design of a semiconductor integrated circuit.

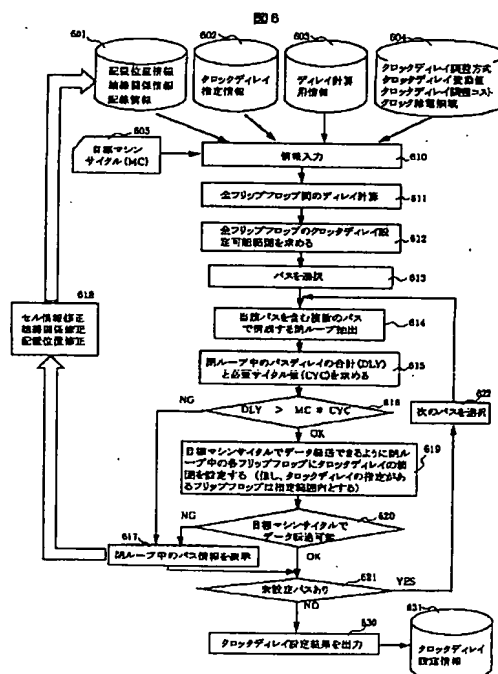
SOLUTION: A closed loop including a path is extracted with respect to the path, the path delay of which is equal to or more than that of a target machine cycle with the path delay between respective flip-flops obtained in logic design and mounting design steps and the target machine cycle as inputs, and the timing time of a clock signal of each of the flip-flops is adjusted so as to make it possible to perform data transfer with the required number of cycles on the closed loop. In such a case, only such paths or closed loops including the paths where data transfer is impossible at the target machine cycle are enumerated for correction. A semiconductor integrated circuit chip is divided into several areas, and wide wiring and an adjacent wiring channel are shielded while making a clock signal from a clock source pin to the last stage clock amplifier in each of the areas go through an amplifier on the way so as to be the fastest delay. As for a supplying method for a clock signal to each of the flip-flops, a plurality of methods in which adjustment ranges of clock timing time are different are combined to be used.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号
特開2002-245109
(P2002-245109A)



【特許請求の範囲】

【請求項1】 半導体集積回路のチップをいくつかの領域に分割して、クロックソースピンから各領域へのクロック信号の分配を高速でかつノイズ等の影響を受け難い転送形態で行い、各領域に複数のクロックピンを用意しておき、半導体集積回路内の各フリップフロップに対して、目標マシンサイクルでフリップフロップ間のデータ転送ができるようにクロックタイミング時刻の調整を行う半導体集積回路の設計方法において、前記フリップフロップに入力するクロック信号のタイミング時刻を調整する方法として、調整可能範囲が異なる複数の方法を用い、前記領域内の各フリップフロップが要求するクロックタイミング時刻毎にフリップフロップをグループ化し、これらを別々のクロックピンに対して各フリップフロップの要求に合わせてクロックタイミング時刻を調整して接続し、その際、配線長を延長することによってクロックタイミング時刻を調整する方法に制限を設け、他の複数のタイミング調整方法と組み合わせることにより各フリップフロップが要求するクロックタイミング時刻を得ることを特徴とする半導体集積回路の設計方法。

【請求項2】 前記得られた各フリップフロップのクロックタイミング時刻を網羅し、各フリップフロップ間の信号伝播経路のデータ転送に要する最大の遅延時間と最小の遅延時間とマシンサイクルの目標値とに応じて、複数の信号伝播経路から構成される閉ループを抽出し、目標マシンサイクルでその閉ループでのデータ転送に必要なサイクル数でデータ転送を行うことができるように、閉ループ上の各フリップフロップに対して、各フリップフロップのタイミング時刻をそれらがとり得るクロックタイミング時刻の中から選択することを特徴とする請求項1記載の半導体集積回路の設計方法。

【請求項3】 クロックタイミング時刻の調整により、前記目標マシンサイクル内でフリップフロップ間のデータ転送を行うことができない信号伝播経路あるいは閉ループを抽出し、それらを表示することを特徴とする請求項2記載の半導体集積回路の設計方法。

【請求項4】 クロックタイミング時刻の調整により、前記目標マシンサイクル内でフリップフロップ間のデータ転送を行うことができない信号伝播経路あるいは閉ループを抽出し、これらの信号伝播経路あるいは閉ループに対して、フリップフロップ間の信号伝播遅延時間の修正を加えることを特徴とする請求項2記載の半導体回路の設計方法。

【請求項5】 前記マシンサイクルの目標値を暫減しながら、各フリップフロップのクロックタイミング時刻を決定することにより、実現可能な最小マシンサイクルを求めることを特徴とする請求項2、3または4記載の半導体集積回路の設計方法。

【請求項6】 半導体集積回路のチップをいくつかの領域に分割して、クロックソースピンから各領域へのクロ

ック信号の分配を高速でかつノイズ等の影響を受け難い転送形態で行い、各領域に複数のクロックピンを用意しておき、半導体集積回路内の各フリップフロップに対して、目標マシンサイクルでフリップフロップ間のデータ転送ができるようにクロックタイミング時刻の調整を行う半導体集積回路の設計システムにおいて、フリップフロップ間の信号伝播遅延時間を計算する手段または外部から入力する手段と、マシンサイクルの目標値に応じて各フリップフロップのクロックタイミング時刻を決定する手段と、各フリップフロップのクロックタイミング時刻またはタイミング調整方法を出力する手段と、与えられたクロックタイミング時刻またはタイミング調整方法を実現する手段と、目標マシンサイクル内でデータ転送を行うことができないフリップフロップ間の信号伝播経路あるいは閉ループを抽出して表示する手段とを備えることを特徴とする半導体集積回路の設計システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路の設計方法及び設計システムに係り、特に、論理設計及び実装設計で対策を行う物量を最小限に抑え、最小マシンサイクルを実現することを可能にした半導体集積回路の設計方法及び設計システムに関する。

【0002】

【従来の技術】フリップフロップのクロックタイミング時刻を調整して、マシンサイクルを短縮していく方法に関する従来技術として、例えば、A.Takahashi and Y.Kajitani, "Performance and reliability driven clock scheduling of sequential logic circuits," in Proc. ASP-DAC '97, pp.37-42, 1997. 等に記載された技術が知られている。この従来技術は、フリップフロップ間の信号伝播遅延時間（以下、パスディレイという）が与えられているとき、フリップフロップ間の信号伝播経路（以下、単に、パスという）の信号伝播が行い得る範囲で各フリップフロップに入力するクロック信号のタイミング時刻を変えることにより、クロック周期をパスの信号遅延時間の最大値よりも速くすることができるようにするというものである。

【0003】また、フリップフロップのクロックタイミング時刻の調整方法に関する従来技術として、例えば、「CAD21成果報告書1998年度」（東京工業大学CAD21研究体）の「準同期式回路におけるスケジュールクロック木の構成」（P.54）に報告されている技術が知られている。この従来技術は、最短距離にある2つのフリップフロップを結合していき、結合したフリップフロップ間の中点の集合からまた最短距離にあるものを結合していき、最後にクロックソースピンに接続するというZero-Skew clock-tree Routingのアルゴリズムに対して、2つのフリップフロップ間にクロックタイミング時刻の差があると

ックタイミング時刻の差が小さいフリップフロップを接続するときの配線長の増加分とをコストとして定義し、コストが最小となる2つのフリップフロップを結合していくというものである。

【0004】

【発明が解決しようとする課題】前述した従来技術を用いて半導体集積回路を高速化する場合、以下に説明するような問題があった。

【0005】まず、第1の問題は、設計工数が大きくなるということである。すなわち、前述した従来技術は、バスディレイが与えられているとき、最大のバスディレイよりもクロック周期を速くしても信号を取り込むことができるように、各フリップフロップのクロックタイミング時刻を調整するというものである。このとき、クロック周期の限界を決定するものは、複数のバスを辿ってできる閉ループの合計信号伝播遅延時間と、閉ループでのデータ転送に必要なサイクル数の比率が一番大きいものである。このような従来技術を用いて回路を高速化する場合、その設計は、まず、同期回路と考えると個々のバスディレイを目標のマシンサイクル近くになるまで設計を行っておき、その後、準同期回路として考えて各フリップフロップのクロックタイミング時刻を調整してクロック周期を最小化するという方法で行われる。そして、求められたクロック周期が目標マシンサイクルよりも大きい場合、クロック周期を決定した閉ループ上のバスについて遅延時間を短縮するように設計変更する。これをクロック周期が目標マシンサイクルになるまで繰り返すということになる。

【0006】このため、前述の従来技術は、クロック周期を決定した閉ループ上のバスについて1つずつ対策していくことになり、目標マシンサイクルに到達するのに非常に多くの時間と実装設計の工数とが必要となるという問題点を生じてしまう。

【0007】また、前述した従来技術は、同期回路と考えると個々のバスディレイを目標マシンサイクルに近づけると、多くのバスについて対策を施した方が収束が速いが、準同期回路として考えたとき、結果的、遅延時間を短縮するような設計変更が不要であったバスが多数存在することになり、それらのバスに対するバス上の論理段数の削減やファンアウト数の削減といった論理設計の変更、あるいは、セル配置や配線パターンの修正といった実装設計での修正にかかる設計工数が多くなってしまいう問題点を有している。

【0008】第2の問題は、フリップフロップのクロックタイミング時刻の調整方法に関して次に説明するような問題点があることである。

【0009】(1) 前述の従来技術は、2つのフリップフロップ間にクロックタイミング時刻の差があるときのディレイ差調整用の迂回配線を設けるが、迂回配線によるディレイの変動分には、クロックソースピンからの迂

回配線までの距離に依存して値が異なるという性質がある。従って、従来技術のようにボトムアップに処理を行う方法は、見積もった迂回配線によるディレイ調整値が、クロックツリー配線を完成させてクロックソースピンまで接続した時点で途中に迂回配線があると前記ディレイ調整値が代わってくるという問題がある。これは、フリップフロップの数が多くなり、クロック信号の配線長が長くなる程大きくなっていく。

【0010】(2) 前述の従来技術は、クロックソースピンからフリップフロップ間までを1つの信号配線で接続するため非常に配線長が長くなり、ディレイ値も大きくなる。また、半導体集積回路での配線幅の微細加工精度からくるディレイの変動分が配線長に応じて大きくなり高速な半導体集積回路を設計することが非常に困難となる。

【0011】(3) 一方、クロックソースピンまでの配線長を短縮するため、半導体集積回路を複数の領域に分割することが容易に考えられる。しかし、この場合、領域内のフリップフロップ間ではクロックタイミング時刻を揃えることができるが、領域間のフリップフロップ数の差や必要とするクロックタイミング時刻のばらつき具合によって各領域のクロックソースピンからフリップフロップまでのディレイ値(以下、クロックディレイという)が変わってしまう。

【0012】(4) さらに、配線パターンの隣接配線チャネルを他の信号配線が通過すると、両者の間に並行配線容量が発生してディレイが大きくなる。そして、クロックソースピンからフリップフロップ間までの配線長が長くなると、この並行配線容量も大きくなり、ディレイ値が大きくなる。また、局所的な配線混雑の疎密が存在するため、各フリップフロップに到達するクロックタイミング時刻に差が現れてしまう。

【0013】前述で説明した従来技術は、フリップフロップのクロックタイミング時刻の調整方法に関して前述したような問題点があるため、調整しようとするクロックタイミング時刻からの誤差が大きくなってしまいう問題点を生じている。

【0014】本発明の目的は、前述した従来技術の問題点を解決し、半導体集積回路の論理設計及び実装設計で対策を行う物量を最小限に抑え、最小マシンサイクルを実現することを可能にした半導体集積回路の設計方法及び設計システムを提供することにある。

【0015】

【課題を解決するための手段】本発明によれば前記目的は、半導体集積回路のチップをいくつかの領域に分割して、クロックソースピンから各領域へのクロック信号の分配を高速でかつノイズ等の影響を受け難い転送形態で行い、各領域に複数のクロックピンを用意しておき、半導体集積回路内の各フリップフロップに対して、目標マシンサイクルでフリップフロップ間のデータ転送ができ

るようにクロックタイミング時刻の調整を行う半導体集積回路の設計方法において、前記フリップフロップに入力するクロック信号のタイミング時刻を調整する方法として、調整可能範囲が異なる複数の方法を用い、前記領域内の各フリップフロップが要求するクロックタイミング時刻毎にフリップフロップをグループ化し、これらを別々のクロックピンに対して各フリップフロップの要求に合わせてクロックタイミング時刻を調整して接続し、その際、配線長を延長することによってクロックタイミング時刻を調整する方法に制限を設け、他の複数のタイ

ミング調整方法と組み合わせることにより各フリップフロップが要求するクロックタイミング時刻を得ることにより達成される。

【0016】また、前記目的は、前記得られた各フリップフロップのクロックタイミング時刻を網羅し、各フリップフロップ間の信号伝播経路のデータ転送に要する最大の遅延時間と最小の遅延時間とマシサイクルの目標値とに応じて、複数の信号伝播経路から構成される閉ループを抽出し、目標マシサイクルでその閉ループでのデータ転送に必要なサイクル数でデータ転送を行うことができるように、閉ループ上の各フリップフロップに対して、各フリップフロップのタイミング時刻をそれらからとり得るクロックタイミング時刻の中から選択することとし、選択範囲外のクロックタイミング時刻の要求がある場合と、目標マシサイクルでデータ転送が不可能となる場合のみ、当該フリップフロップ間の信号伝播経路あるいはそれを含む閉ループを列挙して、論理設計及び実装設計での対策を行うことにより達成される。

【0017】

【発明の実施の形態】以下、本発明による半導体集積回路の設計方法の一実施形態を図面により詳細に説明する。

【0018】図1は本発明が適用される半導体集積回路のクロック信号の分配回路の基本的な構造の例を説明する図、図2はフリップフロップのクロックタイミング時刻を遅らせる方法の例を説明する図、図3はフリップフロップのクロックタイミング時刻を遅らせる方法のさらに他の例を説明する図、図4はフリップフロップのクロックタイミング時刻を速くする方法の例を説明する図、図5は図1に示すクロック信号の分配回路に対して、図2～図4に示すクロック調整方法を適用した場合のクロックタイミング時刻の調整可能範囲を説明する図である。図1～図4において、101は領域分割線、102はクロック給電領域、103はクロックソースピン、104は幅広配線、105はシールド、106は中継アンプ、107、204、301、404は最終段アンプ、108はフリップフロップ、201は迂回配線、202、403はディレイ素子、203はファンアウトが多いネット、401は前段アンプ、402は反転回路である。

【0019】本発明が適用される半導体集積回路は、図1に示すように、半導体チップを縦または横、あるいは、両者の領域分割線101によって幾つかのクロック給電領域102に分割して構成される。図1には、4つの給電領域に分割した例を示しているが、給電領域の数は任意である。そして、半導体チップ上のある1個所に設けられるクロックソースピン103から各クロック給電領域にクロック信号を分配する。クロックソースピン103から各クロック給電領域102内の最終段クロックアンプ107までのディレイは、最速でかつ全ての最終段クロックアンプ107に同じ時刻に信号が到達するように設定される。

【0020】このため、図示クロック信号の分配回路は、配線の途中に中継アンプ106を設け、クロックアンプ間の配線として配線抵抗によるディレイの短縮と微細加工精度からくるディレイの変動分の軽減とを図るために幅広配線104を使用して構成される。さらに、必要に応じて、隣接配線チャネルを他の信号配線が通過することによって並行配線容量が増加することを抑止するために隣接配線チャネルにシールド105を施す。各クロック給電領域102には、その大きさに応じて1つあるいは複数のクロックピンを用意しておく。そして、領域内に存在する複数のフリップフロップ108は、配置されている距離が近いもので配線長が均一となるようにグループ化され、クロック最終段アンプ107に接続される。複数のクロックピンを用意することにより、同一領域内に要求するクロックタイミング時刻が異なるフリップフロップが存在する場合にも、ディレイを調整することが可能となり、さらに、領域間におけるフリップフロップの数のばらつきを吸収することができる。

【0021】次に、図2、図3を参照して、クロックディレイを大きくする、すなわち、クロックを遅らせる方法について説明する。

【0022】図2(a)に示す例は、最終段クロックアンプからフリップフロップまでの配線を迂回配線201として、その配線長によりディレイを調整するようにした例である。図2(b)に示す例は、最終段クロックアンプからフリップフロップまでの間にディレイ素子202を挿入し、このディレイ素子202によりディレイを調整するようにした例である。図2(c)に示す例は、大きいクロックディレイを要求するフリップフロップが多数存在する場合に、1グループのフリップフロップの数を多くして、最終段クロックアンプから複数のフリップフロップまでの間をファンアウトが多いネット203により接続するようにしたもので、配線長を増加させるだけでなく、フリップフロップのクロック入力ピンがもつピン容量を増加させてディレイを調整するようにした例である。図2(d)に示す例は、最終段クロックアンプをディレイの大きいディレイタイプの最終段アンプ204としてディレイを調整するようにした例である。図

3 (a) に示す例は、隣のクロック給電領域の最終段アンプ301からクロック信号を給電して配線長を延ばすことによりディレイを調整するようにした例である。また、図3 (b) に示す例は、最終段クロックアンプからフリップフロップまでのネットを迂回配線201とすると共に、ディレイ素子202を挿入したもので、その配線長とディレイ素子202とによりディレイを調整するようにした例である。

【0023】次に、図4を参照して、クロックディレイを小さくする、すなわち、クロックを早める方法について説明する。

【0024】図4 (a) に示す例は、クロック給電領域内のフリップフロップへの給電を最終段アンプではなく1段前の中継アンプから行うようにして、最終段アンプから給電するよりディレイを小さくするようにした例である。図4 (b) に示す例は、最終段クロックアンプからフリップフロップまでの間に反転回路402を挿入してクロック信号を反転させ、クロックパルス幅だけクロックを速くするようにした例である。また、図4

(c) に示す例は、全クロック給電領域内のクロック最終段アンプを予めディレイの大きなものにしておき、特定のクロック給電領域の特定の最終段アンプだけをディレイの小さいアンプ404に置き換えることにより、他の領域のものに比較してクロックディレイが小さくなるようにした例である。

【0025】次に、図5を参照して、図1に示すクロック信号の分配回路に対して、図2～図4により説明したクロック調整方法を適用したときにクロックディレイの制御可能な範囲、すなわち、クロックタイミング時刻の調整可能範囲について説明する。

【0026】図5 (a) は、図2、図3により説明したクロックディレイを大きくする方法のそれぞれに対応したクロックディレイの調整範囲を示しており、500で示す通常の給電方法でのクロックディレイを基準として、矢印で示す範囲内が調整可能な範囲となる。図5 (a) において、501は、図2 (a) に示した方法による調整可能範囲を示しており、迂回配線長の制限を変えることにより調整可能範囲を制御することができる。502は、図2 (b) に示した方法による調整可能範囲を示しており、ディレイ素子の数によって離散的にクロックを遅らせてクロックディレイを制御することができる。503は、図2 (c) に示した方法による調整可能範囲を示しており、フリップフロップの数によって離散的にクロックを遅らせてクロックディレイを制御することができる。504は、図2 (d) に示した方法による調整可能範囲を示しており、クロックを遅らせる時間が異なる複数種の最終段アンプを準備することによって離散的にクロックを遅らせてクロックディレイを制御することができる。505は、図3 (a) に示した方法による調整可能範囲を示しており、クロック給電領域の大き

さや隣接領域の選択を変えることによってクロックディレイの大きさが決まる。

【0027】前述したようなクロックディレイを制御してクロックタイミング時刻を調整する方法は、1つのフリップフロップに対して複数種の調整方法を組み合わせることができ、これによりクロックディレイの調整可能範囲を広げることができ、離散的にしか制御できなかった範囲も連続的に制御することが可能となる。506は、図2 (a) 及び図2 (b) に示した方法を組み合わせた図3 (b) に示して説明した方法の調整可能範囲の例である。506-1は、ディレイ素子を1段挿入して配線を迂回させた場合のクロックディレイの調整可能範囲を示し、506-2、506-3は、ディレイ素子を2段挿入して配線を迂回させた場合、ディレイ素子を3段挿入して配線を迂回させた場合のクロックディレイの調整可能範囲を示す。

【0028】また、図5 (b) は図4により説明したクロックディレイを小さくする方法のそれぞれに対応したクロックディレイの調整範囲を示しており、510で示す通常の給電方法でのクロックディレイを基準として、矢印で示す範囲内が調整可能な範囲となる。図5 (a) において、511は、図4 (a) に示した方法による調整可能範囲を示している。512は、図4 (b) に示した方法による調整可能範囲を示しており、クロックパルス幅分の位相差を持ったクロック信号を入力することと等価となる。513は、図4 (c) に示した方法による調整可能範囲を示しており、クロックを遅らせる時間が異なる複数種の最終段アンプを準備することによって離散的にクロックディレイの大きさを制御することができる。

【0029】図6は本発明の一実施形態による半導体集積回路の設計方法の処理動作を説明するフローチャートであり、以下、これについて説明する。ここで説明する処理フローは、図1に示すようなクロック信号の分配回路に対して、図2～図4で説明したような複数のクロックディレイ調整方法を用いて半導体集積回路の論理設計及び実装設計を行う場合に、高速化のための設計修正を最小限にするための設計方法の処理動作の例である。そして、この処理の実行のための入力データとして、セルの配置位置情報、セルの端子間の結線関係情報、配線パターン情報601と、クロックディレイがすでに決まっている、あるいは、ずらすことができないフリップフロップに対するクロックディレイ指定情報602と、パスのディレイを計算するための情報603と、クロックディレイ調整方法、それによるクロックディレイの変動値、調整のためのコストの情報604と、目標とするマシサイクル (MC) 605とが用意される。

【0030】(1) まず、入力データとして用意されている前述した各種の情報601～605のデータを入力し、全フリップフロップ間 (パス) のデータ転送に要す

る最大の遅延時間(Dmax)と最小の遅延時間(Dmin)とを求める(ステップ610、611)。

【0031】(2)入力されたクロックディレイ指定情報602と情報604の中の各フリップフロップが実現可能なクロックディレイ調整方法とから、クロックディレイ調整可能範囲を求める(ステップ612)。

【0032】(3)次に、パスを1つ選択し、選択したパスの終点フリップフロップから始点フリップフロップに帰ってくる閉ループを抽出し、閉ループの中の各パスの合計ディレイ(DLY)と閉ループでのデータ転送に必要なサイクル数(CYC)を求める(ステップ613～615)。

【0033】(4)ステップ614で抽出した閉ループでのデータ転送が目標マシンサイクルで可能か否かを判定する。この判定は、入力された目標マシンサイクルMC605とステップ615で求めた閉ループでのデータ転送に必要なサイクル数CYCとの積と、ステップ615で求めた閉ループの中の各パスの合計ディレイDLYとを比較して行われる。すなわち、 $DLY > MC \times CYC$ が成立したときNGと判定される(ステップ616)。

【0034】(5)ステップ616の判定がNGであった場合、閉ループ中のパスの情報を表示する。この情報を基に、設計者は、論理修正としてセルの変更やピンの接続関係の変更、あるいは、実装結果の修正としてセルの配置位置の移動や配線パターンの修正を行い、情報601へフィードバックする(ステップ617、618)。

【0035】(6)ステップ616の判定がOKであった場合、各パスに対して以下に示す制約を満たすように、各フリップフロップにデータ転送可能となるクロックディレイ調整範囲を設定する。

$$MC \times CYC(\text{path}) - CLK(S, FF)_{\max} + CLK(E, FF)_{\min} > D_{\max}$$

$$MC \times (CYC(\text{path}) - 1) - CLK(S, FF)_{\min} + CLK(E, FF)_{\max} < D_{\min}$$

但し、CYC(path)は、当該パスのデータ転送に必要なサイクル数、CLK(S, FF)_{min}、CLK(S, FF)_{max}は、始点フリップフロップのクロックディレイ調整範囲、CLK(E, FF)_{min}、CLK(E, FF)_{max}は、終点フリップフロップのクロックディレイ調整範囲である。前述した制約を満たし、かつ、ステップ612で求めた各フリップフロップのクロックディレイ調整可能範囲内で、各フリップフロップのクロックディレイ調整範囲を設定する(ステップ619)。

【0036】(7)各フリップフロップのクロックディレイ調整可能範囲の制約から目標マシンサイクルでのデータ転送が可能か否かを判定し、不可能な場合、前述で説明したステップ617、618の処理を行う(ステップ620)。

【0037】(8)ステップ620の判定で、目標マシ

ンサイクルでのデータ転送が可能であった場合、未設定のパスが残っているか否かをチェックし、未設定のパスが残っていれば、次のパスを選択して、ステップ614からの処理に戻り、ステップ614以降の処理を繰り返す(ステップ621、622)。

【0038】(9)ステップ621のチェックで、全てのパスについてクロックディレイの設定が終了していた場合、各フリップフロップの設定したクロックディレイ調整範囲をクロックディレイ設定情報ファイル631に出力して処理を終了する(ステップ630)。

【0039】そして、本発明の実施形態は、これらの処理の終了後、目標マシンサイクル605の1周期の時間を暫減させて、再度、ステップ610からの処理を繰り返すことにより、実現可能な最小マシンサイクルを求めることができる。

【0040】図7は最小限のコストで各フリップフロップのクロックディレイを調整するための処理動作を説明するフローチャートであり、以下、これについて説明する。ここで説明する例は、図1に示すようなクロック信号の分配回路に対して、図2～図4で説明したような複数のクロックディレイ調整方法を用いて半導体集積回路の論理設計及び実装設計を行う場合に、最小限のコストで各フリップフロップに設定したクロックディレイを実現することを可能にする例である。そして、この処理の実行のための入力データとして、図6の処理でも使用したセルの配置位置情報、セルの端子間の結線関係情報、配線パターン情報601、クロックディレイ調整方法、それによるクロックディレイの変動値、調整のためのコストの情報604、目標とするマシンサイクル(MC)605と、図6の処理で作成されたクロックディレイ指定情報631とが用意される。

【0041】(1)まず、入力データとして用意されている前述した各種の情報601、604、605、631のデータを入力し、全フリップフロップをクロック給電領域に振り分けて、1つのクロック給電領域を選択する(ステップ710～712)。

【0042】(2)領域内の全てのフリップフロップに対して設定されたクロックディレイ調整範囲を実現できるクロックディレイ調整方法の組み合わせケースを全てリストアップし、最小コストで実現できるクロックディレイ調整方法で実現できるものから順にフリップフロップのグループを作成していき、それらフリップフロップのクロックディレイ調整方法を決定する。その際、配線長を延ばすことによってクロックタイミング時刻を調整する方法には制限を設け、制限以上の配線長のものは採用しない(ステップ713～715)。

【0043】(3)選択したフリップフロップの設定範囲が調整範囲以上の場合は、1つのクロックディレイ調整方法では要求するクロックディレイを実現することができず、複数の複数のクロックディレイ調整方法と組み

10

20

30

40

50

合わせる必要があるので、フリップフロップの設定範囲と選択した調整方法で調整できる範囲との差分をフリップフロップの設定範囲として更新し、さらに、次のクロックディレイ調整方法での実現性をチェックする（ステップ715～717）。

【0044】（4）クロック給電領域内の全てのフリップフロップが、設定範囲にクロックディレイを調整できたか否かをチェックし、調整できなかった場合、次にコストの小さいクロックディレイ調整方法を選択して、ステップ715からの処理を繰り返す（ステップ716、717）。

【0045】（5）ステップ716のチェックで、クロック給電領域内の全てのフリップフロップの調整ができたと判定した場合、全てのクロック給電領域について処理が終了したか否かのチェックを行い、まだ済んでいなければ、次のクロック給電領域を選択して、ステップ713以降の処理を繰り返す（ステップ718、719）。

【0046】（6）ステップ718で全てのクロック給電領域について処理が終了したと判断したとき、決定したクロックディレイ調整方法に従って、図2、図3に示すようなディレイ素子の挿入や削除、クロックセルの置換、クロックネットの結線関係変更、クロック配線の迂回等の修正を行い、その結果を入力情報としての情報601のファイルにフィードバックする（ステップ720、721）。

【0047】前述した本発明の実施形態は、フリップフロップのクロックタイミング時刻を調整することを前提にした論理設計及び実装設計を行うことができ、目標マシンスサイクルを超えているフリップフロップ間の経路の内、クロックタイミング時刻の調整を行ってもデータの転送ができないものだけを、パスの遅延時間の短縮を行う設計変更の対象とすることができる。これにより、前述した本発明の実施形態によれば、論理段数の削減やファンアウト数の削減といった論理設計の変更や、セル配置や配線パターンの修正といった実装設計での修正にかかる工数を必要最小限に抑えることができる。

【0048】また、前述した本発明の実施形態は、クロックディレイ調整の精度が高いため、目的のクロックタイミング時刻を確実に実現することができ、手戻りなく設計を行うことができ、製造した半導体集積回路チップでの動作の保証をより確実にすることができる。

【0049】さらに、前述した本発明の実施形態は、クロックゲートの数や、クロック配線の物量等をコストとして定義しているので、対象とする半導体集積回路製造プロセスに最も合ったコスト最小のクロックタイミング時刻の調整が可能となる。

【0050】

【発明の効果】以上説明したように本発明によれば、半導体集積回路の論理設計及び実装設計で対策を行う物量を最小限に抑え、最小マシンスサイクルを実現することができる。

【図面の簡単な説明】

【図1】本発明が適用される半導体集積回路のクロック信号の分配回路の基本的な構造の例を説明する図である。

【図2】フリップフロップのクロックタイミング時刻を遅らせる方法の例を説明する図である。

【図3】フリップフロップのクロックタイミング時刻を遅らせる方法のさらに他の例を説明する図である。

【図4】フリップフロップのクロックタイミング時刻を速くする方法の例を説明する図である。

【図5】図1に示すクロック信号の分配回路に対して、図2～図4に示すクロック調整方法を適用した場合のクロックタイミング時刻の調整可能範囲を示す図である。

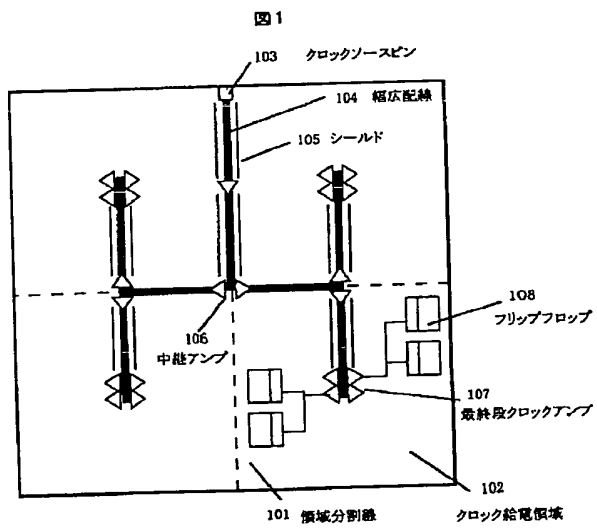
【図6】本発明の一実施形態による半導体集積回路の設計方法の処理動作を説明するフローチャートである。

【図7】最小限のコストで各フリップフロップのクロックディレイを調整するための処理動作を説明するフローチャートである。

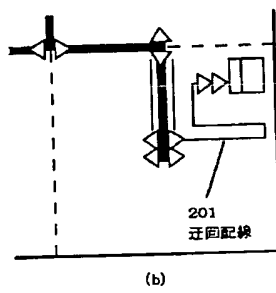
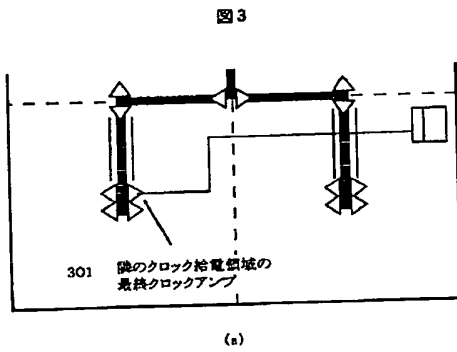
【符号の説明】

- 101 領域分割線
- 102 クロック給電領域
- 103 クロックソースピン
- 104 幅広配線
- 105 シールド
- 106 中継アンプ
- 107、204、301、404 最終段アンプ
- 108 フリップフロップ
- 201 迂回配線
- 202、403 ディレイ素子
- 203 ファンアウトが多いネット
- 401 前段アンプ
- 402 反転回路

【図1】

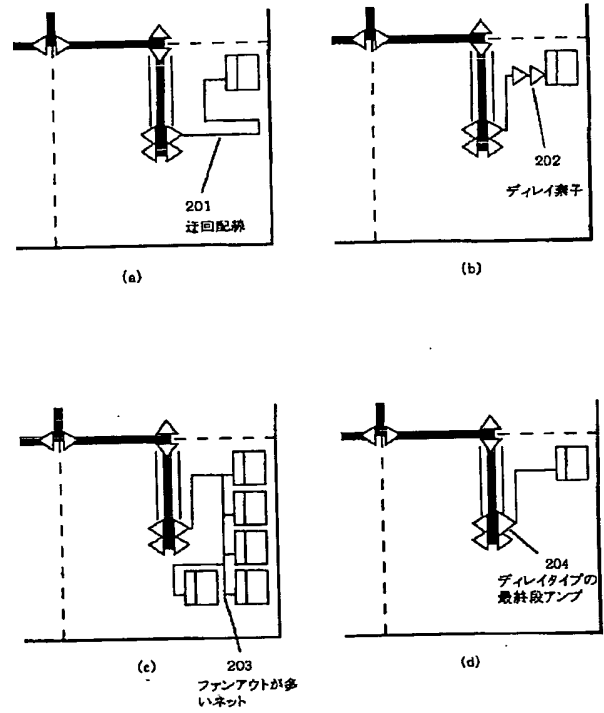


【図3】

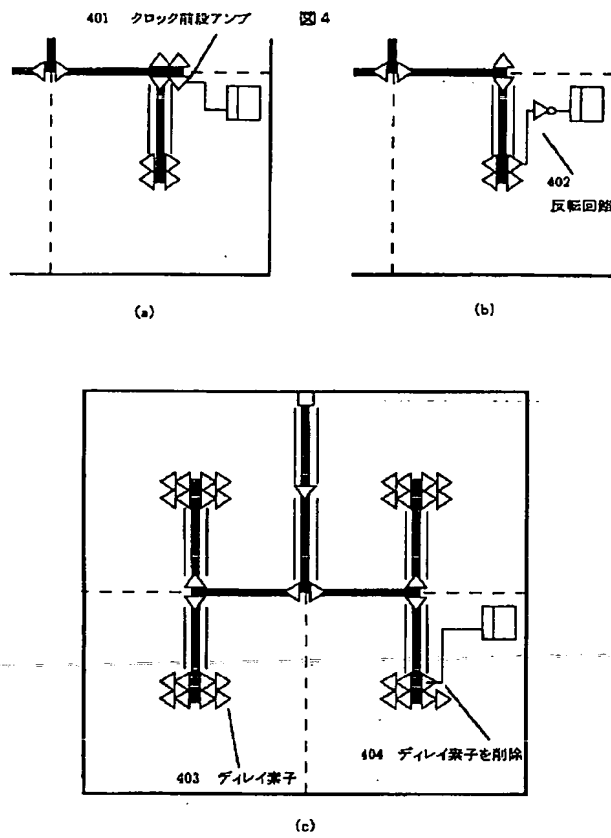


【図2】

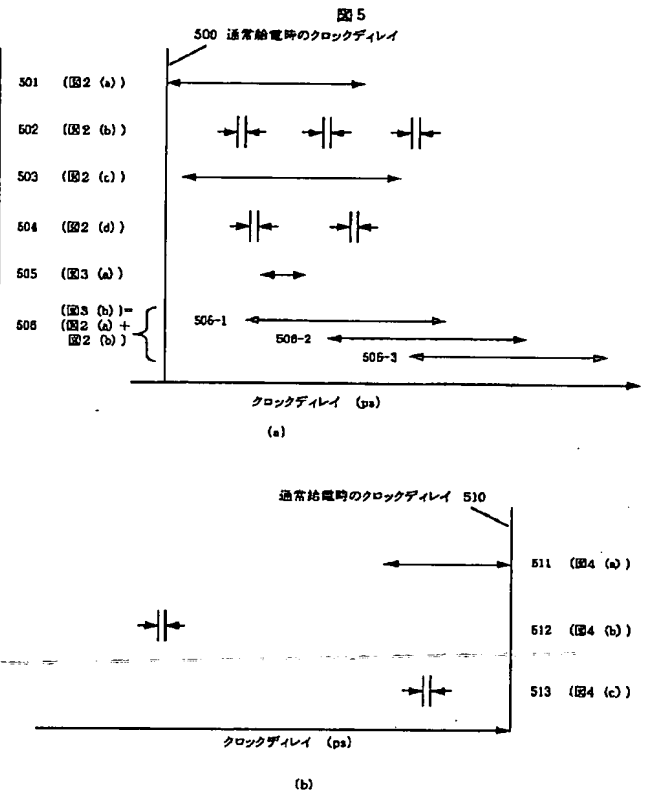
図2



【図4】

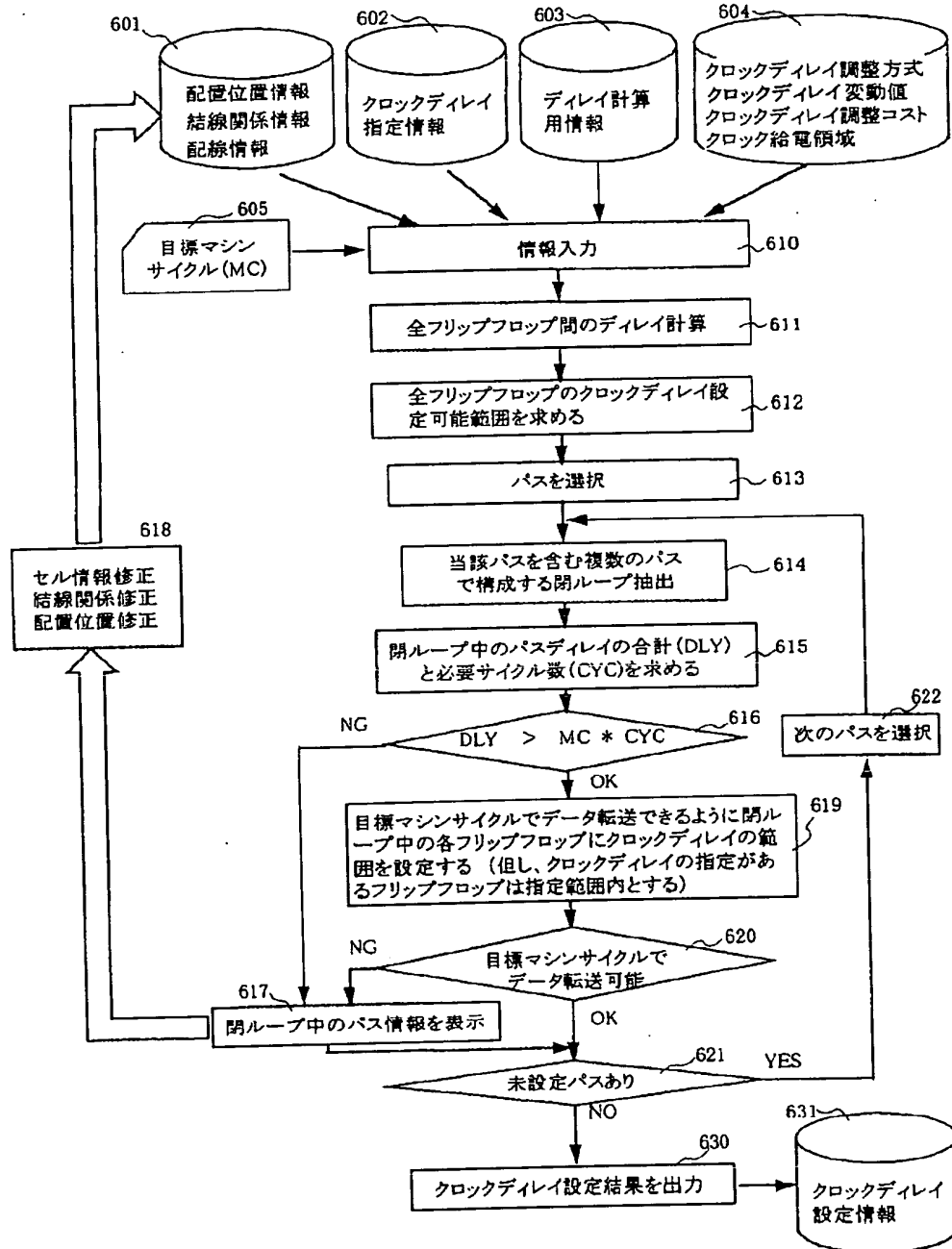


【図5】

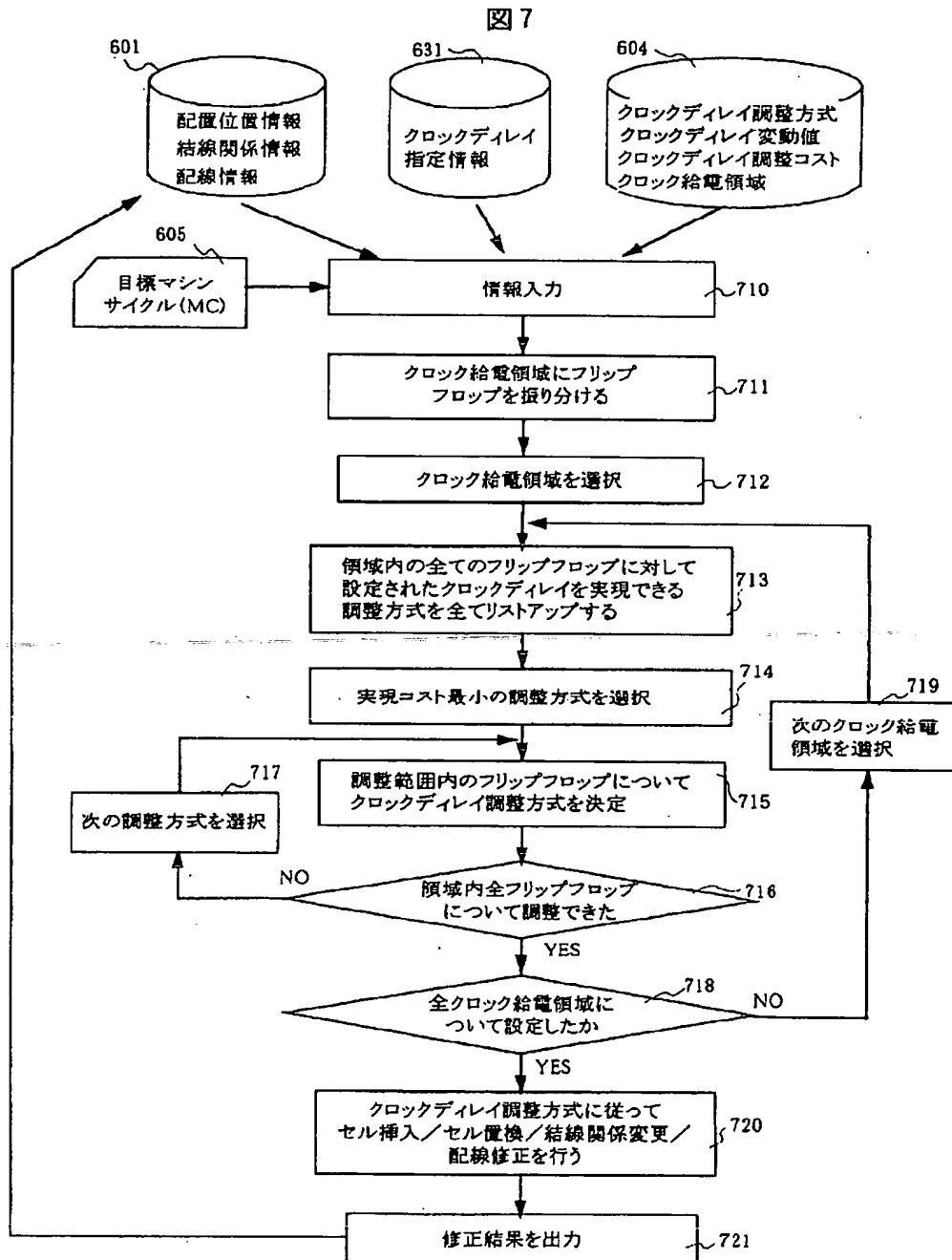


【図6】

図6



【図7】



フロントページの続き

(72)発明者 佐々木 哲雄
 神奈川県秦野市堀山下1番地 株式会社日
 立製作所エンタープライズサーバ事業部内

(72)発明者 長尾 葉介
 神奈川県秦野市堀山下1番地 株式会社日
 立製作所エンタープライズサーバ事業部内

(72)発明者 石井 建基
神奈川県秦野市堀山下 1 番地 株式会社日
立インフォメーションテクノロジー内

(72)発明者 松本 格
神奈川県横浜市中区尾上町六丁目81番地
日立ソフトウェアエンジニアリング株式会
社内

F ターム(参考) 5B046 AA08 BA05 BA06
5F064 BB07 BB19 BB22 BB26 DD25
DD50 EE08 EE15 EE17 EE42
EE43 EE47 EE54 EE60 HH06
HH10 HH11